

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-059473

(43)Date of publication of application : 05.04.1985

(51)Int.Cl.

G06F 15/62

(21)Application number : 58-167110

(71)Applicant : YOKOGAWA HOKUSHIN ELECTRIC
CORP

(22)Date of filing : 09.09.1983

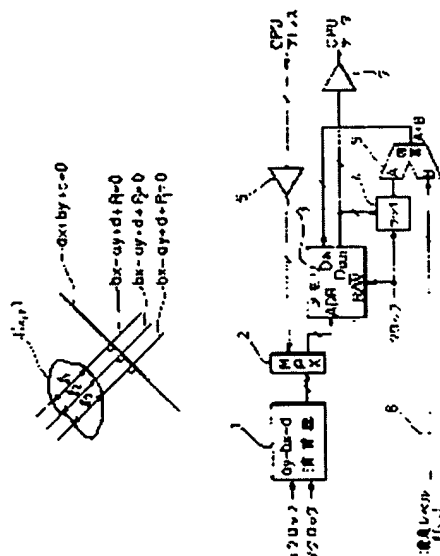
(72)Inventor : IMAMURA MAKOTO

(54) CIRCUIT FOR PRODUCING PROJECTION WAVEFORM

(57)Abstract:

PURPOSE: To obtain the information on the picture structure of a specific direction by obtaining a distribution on a specific line passing through the center on a 2-dimensional Fourier space exclusively by performing a 1-dimensional Fourier transform for a projection waveform from a picture having variable density supplied to a picture processor.

CONSTITUTION: A straight line to be projected is shown in an equation $ax+by+c=0$, and $1/WI3$ of this projection waveform mean the cumulative values of each density level of the picture. Thus the density level is obtained for an area a picture $f(x, y)$ overlaps an equation $bx-ay+d=0$ which is vertical to the first equation. An operator 1 obtains cumulative values (x) and (y) of each clock number every time clocks (x) and (y) are applied for raster scan. At the same time, $pi=ay-bx-d$ is also obtained. The pi is applied to a memory 3 through an MPX2 in the form an address (n) , and the contents $D(n)$ are sent to a latch 4 to be added with the density level of a picture having variable density given from a line 8. The result of this addition is written again to an (n) address. Hereafter this procedure is carried out to the entire part of a screen.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of
rejection][Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-59473

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)4月5日

G 06 F 15/62

7157-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 投影波形生成回路

⑯ 特 願 昭58-167110

⑰ 出 願 昭58(1983)9月9日

⑱ 発 明 者 今 村 誠 武蔵野市中町2丁目9番32号 横河北辰電機株式会社内

⑲ 出 願 人 横河北辰電機株式会社 武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

投影波形生成回路

2. 特許請求の範囲

1) 画像処理装置において、画素の任意の座標(x, y)に対して $a \cdot y - b \cdot x - d$ (a, bは係数、dは定数)の演算を行う演算器と、この演算器の出力をアドレス入力とし読出しおよび書込みのできるメモリと、前記座標(x, y)が対象画素内にあるときはその点の画素レベルを示す値を前記メモリ出力に加算する加算手段と、この加算手段からの出力を前記メモリの同一アドレスに再び書込む書込み手段とを具備し、任意方向への投影波形がメモリより得られるようにしたことを特徴とする投影波形生成回路。

2) 前記演算器は、ラスタ・スキャン型画像処理からの同期信号に対応して、係数a, bのデータ入力およびF, G両レクタの出力の内いずれか2つを選択出力する選択手段と、この選択手段からの前記2つの出力を加算する加算器と、この

加算器からの出力を保持する前記F, G両レクタとを備えたものであることを特徴とする特許請求の範囲第1項記載の投影波形生成回路。

3. 発明の詳細な説明

【発明の属する分野】

本発明は、画像処理装置等において、入力された源画像から、任意方向に投影された波形を高速に生成する投影波形生成回路に関するものである。

【従来技術】

従来より、画像の特徴を求めるための解析手法として二次元フーリエ変換法は有効であるとされている。

二次元フーリエ変換は、一般に、図1例(イ)から(ロ)に示すように一次元フーリエ変換を行数だけ行い、残いて格点に対して図例(ロ)から(ハ)に示すように縦方向に回数だけ再び一次元フーリエ変換を施すもので、この様な変換には膨大な計算と、大容量のデータ記憶用のメモリを必要とした。

ところで、二次元フーリエ変換の応用としては、二次元フーリエ空間上で中心を通る特定のライン上の分布だけを見ればよいという場合が多い。

しかし、このような場合でも、従来の例では高速フーリエ変換(FFT)を用いることから、全面に対して二次元フーリエ変換を行わなければならない、非常に時間とコストがかかり実用的ではないという欠点があった。

【発明の目的】

本発明は、このような点に鑑み、本発明により得られた投影波形について一次元フーリエ変換を行うのみで二次元フーリエ空間上で中心を通る特定のライン上の分布を得ることができるようなその他の投影波形を、入力画像の任意方向において高速に得ることができる簡単な構成の投影波形生成回路を提供することにある。

【発明の概要】

このような目的を達成するための本発明は、画像処理装置において、画面の任意の座標(x, y)に対して $ay - bx - d$ (a, bは係数、dは定

数)の値を求める演算器と、この演算器の出力をアドレス入力とし読み出しおよび書き込みのできるメモリと、前記座標(x, y)が対象図形内にあるときはその点の強度レベルを示す値を前記メモリ出力に加算する加算手段と、この加算手段からの出力を前記メモリの同一アドレスに再び書き込み読み込み手段とを具備し、任意方向への投影波形がメモリより得られるようにしたことを特徴とする。

【実施例】

以下図面を用いて本発明を詳しく説明する。二次元フーリエ変換に関しては「ある画像の投影波形のフーリエ変換は、その画像の二次元フーリエ変換のうち投影方向に対する角度で切った中心線上の値に等しい」という定理がある。すなわち、図2図に示すような実空間2.1内にある対象物2.2に係る投影波形(2.3, 2.4, 2.5)があれば、これの一次元FFTを1回行うだけでフーリエ空間(2.6)上の中心を通る直線上の波形を得ることができる。この波形分布を見ることによって、例えば特定方向の画像構成に関する情報が切

られ、パターン認識等に利用することができる。

ここでは、一次元FFTに関しては公知の方法を用いるとして、投影波形を高速で得るハードウェアの構成について説明する。

まず、本発明の原理を図3図を参照して説明する。今、投影しようとする画像(例えば、x, y軸とか偶性主軸等)を数式で表すと、一般に、

$$ax + by + c = 0$$

と得ける。これに対して投影波形を得ることは、図の l_1, l_2, l_3 それぞれにおける画像の強度レベルの期待値を求めることに等しい。これは、式(1)と等価な数式すなわち

$$bx - ay + d + p_1 = 0 \quad (2)$$

$$bx - ay + d + p_2 = 0 \quad (3)$$

$$bx - ay + d + p_3 = 0 \quad (4)$$

等と画像 $f(x, y)$ とが重なっている部分の強度レベルを求めることである。

ここで、 $f(x, y)$ は対象とする画像で、図形の部分はそれぞれの強度レベルをとり、背景の部分は強度レベル0の値をとるものとする。式

(2)~(4)の一般式として、

$$bx - ay + d + p_i = 0$$

を得る(ただし、 p_i は一定数)。従って、 l_i 上では $ay - bx - p_i$ となるので、 p_i をパラメータと考え、 p_i と1対1に対応した番地(p_i そのままを番地としてもよい)を持つメモリを用意すればラスタスキャンされた点 l_i 上に来たときに対応した番地をアクセスすることが可能となる。

そこで、その番地の内容を、 $ay - bx - d - p_i$ かつ $f(x, y)$ における強度レベルを加算するものとすれば、全面走査後には強度レベルを累積して得られるところの投影波形を得ることができる。

図4図はこの様な原理に基づく本発明に係る投影波形生成回路の一例を示す構成図である。図4図において、1は画像の任意の座標(x, y)に対して $ay - bx - d$ の値を求める演算器、2はマルチプレクサ(以下MPXと略する)で、演算器1の出力はMPX2を通してメモリ3のA

ドレスに接続され、現座標に対応したメモリ番地の読み出し、書き込みができるようになっている。

4はメモリ3のデータ出力を一旦記憶するラッチ、5はラッチ4の出力データと入力される座標レベル値を加算する加算器である。加算器5の出力は再びメモリ3に書き込まれるように構成されている。

6と7はバッファで、これらのバッファを介してメモリ3の出力ないしMPX2の一方の入力が、図示しないコンピュータ等に授受されるようになっている。

この様な構成における動作を第5図のタイムチャートで参照しつつ次に説明する。メモリ3は計数走査的に何らかの手続(例えばホストコンピュータ等により)で予めその内容がクリアされているものとする。読取器1では、ラスタスキャンのためのXクロック(第5図の「イ」)およびYクロック(垂直方向走査用のクロック)が与えられることに各クロック数の累積値 x 、 y (ただし、 x は水平同期信号の発生毎に、また y は垂直同期

信号の発生毎にそれぞれリセットされる)を求め

ると共に演算により $D_1 = ay - bx - d$ を求める。 D_1 はMPX2を通して第5図(ロ)に示すようにアドレス n としてメモリ3に与えられる。

メモリ3はXクロックが“H”のとき読み出しモードとなるのでアドレス n の内容 $D(n)$ (第5図の「ハ」)がラッチ4に送出される。続いて、加算器5において、この $D(n)$ とライン8を通して与えられる座標座標の座標レベル値との加算が行われる(第5図(ホ))。加算結果は、Xクロックが“L”から“H”に切り換わり、メモリ3が読み出しモードに切り換わる時点で再び n 番地に書き込まれる。

次に、Xクロックが与えられると、読取器1では新たなアドレス n' が求められメモリ3をアクセスする(第5図(ロ))。続いて、上述と同様な動作により $D(n')$ と座標レベルとの加算およびその加算結果の書き込みが実行される。

以降同様の動作が一面画全体に亘って繰返され、結果としてメモリ3には投影波形が記憶される。

第6図は読取器1の他の実施例を示すブロック図である。同図において、aレジスタ61、bレジスタ62およびdレジスタ63には図示しないコンピュータなどからそれぞれ係数 a 、 $-b$ と定数 $-d$ がセットされる。データセレクタ64は第1の走査ラインのX同期信号時および各ラインのX同期信号時の次のクロック時に加算器66に0を出力し、その他のタイミングではbレジスタ62の値 $-b$ を出力する。

他方のデータセレクタ65は第1ラインのX同期信号時に0を出力し、その他のタイミングではFレジスタ68の値 $F(x-1)$ を出力する。Fレジスタ68はXクロックに同期してそのときの加算器66の出力値を保持する。他方Qレジスタ67はX同期信号に同期してそのときの加算器66の出力値を保持する。加算器66ではデータセレクタ64および65の出力を加算し、座標 (x, y) に対応して $F(x) = ay - bx - d$ となる値の D_1 を求める。

第6図の構成によれば、高価な演算回路を使

用することなく、安価で手軽にリアルタイムで座標変換を行うことができるという利点がある。

なお、読取器は第6図の構成に限定されるものではなく、例えばクロックではなく座標値 x 、 y そのものが入力されて $ay - bx - d$ が求められるという構成のものであっても良い。

また、メモリ3のアドレスには、読取器1の出力に併せて図形の番号も入力できるようにすれば、複数個の図形に対して同一フレームで処理することができ、高速化に寄与できる。この場合、メモリ3を各図形毎に分割して割当てるようにし、各分割領域でそれぞれの図形の投影波形を求める。

また、MPX2としては、3ステート素子を用いてもよい。

【発明の効果】

以上説明したように、本発明によれば、次のような効果がある。

① 任意方向に写れる対象図形の投影波形を容易に得ることができる投影波形生成回路を実現することができる。

- ② 演算器として画像処理装置でよく使用されるハードウェア(アフィン変換器、ヒストグラム等)が利用できる構成なので、安価な構成でありながらも高速に投影波形を得ることができる。
- ③ 二次元フーリエ空間上の特定の直線下の波形が一度のFFTで得られるので、高速の特徴抽出が可能である。
- ④ どのような方向の投影像も得られるので、例えばCT野のシュミレーションデータ等が容易に得られる。
- ⑤ 投影方向の角度を順次変え、 $0 \sim 180^\circ$ の方向の投影波形のFFTを行うことにより、極座標形式の二次元フーリエ変換が実現できる。

4. 図面の簡単な説明

第1図は二次元FFTの方法を説明するための図、第2図はフーリエ空間と投影波形の関係を示す図、第3図は本発明の原理を説明するための図、第4図は本発明に係る投影波形生成回路の一実施例を示すブロック構成図、第5図は動作説明のためのタイム・チャート、第6図は演算図の実施例

図である。

1... 演算器、2... マルチプレクサ、3... メモリ、4... ラッチ、5... G6... 加算器、61、62、63... レジスタ、64、65... データセクタ、67... Gレジスタ、68... Fレジスタ。

代理人 弁理士 小 沢 信 昭

